

# 反復型 Total Variation フィルタの実装

## Implementation of Iteration type's Total Variation filter

成沢良太郎\* 仲西篤 辻裕之 木村誠聡

Ryotaro Narusawa \* Atsusi Nakanisi Hiroyuki Tsuji Tomoaki Kimura

神奈川工科大学 情報学部

Faculty of Information, Kanagawa Institute of Technology

### 1. まえがき

2014 年現在, FPGA による様々な画像処理フィルタがハードウェア化されている[1-3]. しかしながら, Total Variation(TV)フィルタのような反復処理を必要とする画像処理フィルタはハードウェア化されることが少ない. その理由として, 反復処理には同じ処理が複数回必要であり, ①1 つのハードウェアで処理する場合, 処理毎に全ての情報を保持する必要があるため, 全ての情報を保持するために大量のメモリを必要とする, ②同じ処理のハードウェアを複数用意する場合, メモリおよびロジック規模が大きくなる, などの問題が存在するためである. しかしながら, 反復処理は反復しない処理に比べ, 優れた結果を出すという利点が存在する[4]. よって反復処理型のフィルタのハードウェア実装の研究は必要と考えられる.

筆者らは文献 5 において 1 画素分の処理のみを行う TV フィルタについて報告している. そこで本稿では TV フィルタを映像信号に対して複数回の反復処理に拡張することを試みる. 前述の様に映像信号に対して反復処理させるためには 1 フレーム分の画面全体を保持するためのメモリが必要になる. しかしながら, この方法は大規模なメモリが必要となる. そこで本稿はこの問題を解決するためにメモリの使用量を抑えた方法を提案し, 反復型の TV フィルタのハードウェアの実装について報告する.

### 2. TV フィルタ

TV フィルタは複数回の反復処理を必要とする非線形フィルタであり, 式(1)に示す処理を行う[4,6].

$$|u| = \int_{\Omega} |\nabla u| dx dy + \frac{\lambda}{2} \int_{\Omega} (u - u_{in})^2 dx dy \dots (1)$$

式(1)は過剰な振動成分を持つ不自然な画像を排除するための正則化項(第一項)と最適解が元の劣化画像から離れすぎないようにするための制約項(第二項)で構成される. 本稿では式(1)をデジタル化した Digital TV フィルタを用いる[4,6]. なお, 本稿で扱うパラメータの設定については文献 4 に添うものとする.

### 3. TV フィルタのハードウェア構成

本節では映像信号の入出力信号を含めた Digital TV フィルタをハードウェア実装を行うためにその仕様を定める[4,6]. 入力には DVI 入力による映像信号とし, 出力も同様とする. 図 1 に全体のブロック図を示す. 本稿ではメモリの容量を抑えるために, 必要なラインのメモリだけとして全体のメモリ使用量を削減することを試みる. 具体的には図 2 に示すブロック図の様に BRAM (1024bit\*8bit)6 ブロックとシフトレジスタ (5\*8bit)5 ブロックで構成する. これは TV フィルタで必要な画素が文献 3 より 5\*5 の 25 画素分だけ必要なことから, 縦方向について 1 ライン分のバッファを含め 6 ラインを 1 セットと考えるためである. 図 2 の具体的な処理として, 各ライン毎に BRAM0, 1, 2, 3, 4, 5 と画面の水平方向の幅分毎に信号が書き込みこまれる. そして, 6 ライン目で BRAM5 まで書き込まれることになる. 次の 7 ライン目は BRAM0 に戻って書き込まれ, 8 ライン目は BRAM1 以降に書き込まれる. つまりこの構成はリングバッファを形成していることになる. なお読み出しは一度に 1 ライン 5 画素の 5 ライン分, つまり 25 画素分の情報のうち 13 画素が TV フィルタへ出力されることになる. よって実質的にパイプライン的に処理させることが可

能となる. 以上の様に映像信号を扱う場合のみ, 各段の TV フィルタでは 1 画素分のメモリを必要とせず, 数ライン分のメモリで十分であるため, メモリの使用量を抑えることが可能となる.

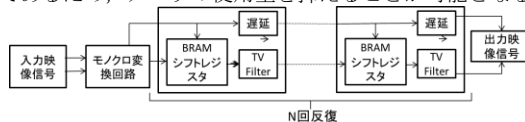


図 1 TV フィルタの全体ブロック図



図 2 BRAM とシフトレジスタのブロック図

### 4. TV フィルタの FPGA への実装と結果

前節で述べたハードウェア処理の構成を FPGA に実装することを試みる. なお本稿では文献 4 に基づき, TV フィルタの構成を 10 段とする. 本稿で用いる FPGA は高速な処理が可能である ALTERA 社製 Stratix V を用いる. 図 3 に ALTERA 社製 Stratix V Development Kit を示し, かつその実装結果を示す. また用いる開発ツールは Quartus II Subscription Edition v13.0 であり, 開発言語は VHDL を使用した. 図 3 より 10 段の TV フィルタを実装してもメモリ, ロジック共に余裕があることがわかる.

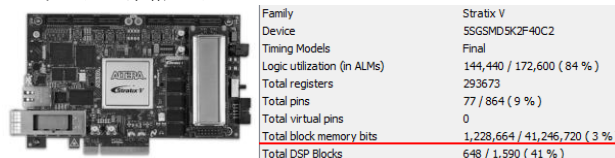


図 3 開発用ボード Stratix V, 反復処理を 10 回行った実装結果

### 5. まとめ

本稿では反復型の非線形フィルタである TV フィルタのハードウェア処理の構成を提案し, TV フィルタの性能をソフトウェア処理と比べ損なうことなく実装でき, かつ映像信号をリアルタイムで処理できたことを確認した.

今後は TV フィルタ自体の誤差を更に小さくすることが課題である.

### 参考文献

- [1] 中村幸弘, 片山卓也, 木村誠聡, 橋本和昌, "FPGA による雑音除去ファジーフィルタの実装", 電子情報通信学会信学技報, Vol.109, No.447, pp.85-88, Feb. 2010.
- [2] 中村幸弘, 橋本健太郎, 木村誠聡, "混合雑音が重畳した画像復元に関するハードウェアの実装", 電子情報通信学会信学技報, Vol.108, No.461, pp.75-78, Feb. 2009.
- [3] 片山卓也, 中村幸弘, 目黒壮典, 木村誠聡, "リアルタイム畳み込み画像処理回路の実装"電子情報通信学会 2010 年総合大会講演論文集, AS-2-6, pp.S.19-S.20, Mar. 2010.
- [4] 三浦翔, 辻裕之, 木村誠聡, 徳増眞司, "TV インペインティング法のパラメータ調整に基づく混合雑音除去", 電気学会論文誌 C, No.31, No.3, pp.69-74, Mar. 2011.
- [5] 成沢良太郎, 三浦翔, 辻裕之, 木村誠聡, "TV フィルタの FPGA 実装についての検討", 電子情報通信学会技術研究報告書 スマートインフォメディアシステム, Vol.112, No.348 pp.69-74. Dec. 2012.
- [6] T.F.Chan, S.Osher and J.Shen, "The digital TV filter and nonlinear denoising", IEEE Trans. Image Process, Vol.10, No.2, pp.231-241, Feb. 2001.