

# ファジー推論によるデジタル画像拡大法のハードウェアへの実装 Embedded on Hardware of Digital Image Expansion method by Using Fuzzy Inference

045040 加藤 光成

(指導教員 木村 誠聡 教授)

## 1. まえがき

近年、高画質な映像が身近になってきており、低画質な映像を高画質にすることが求められている。これはいわゆる高解像度化である。高解像度化の一つとしてデジタル画像の拡大法があり、一般的には線形補間法が用いられている(文献[1])。しかしこの方法は処理時間が早いものの、高周波数成分を保存することができず画像にボケが生じる(文献[2])。一方で高周波数成分を保存する拡大法ではアルゴリズムが複雑なためソフトウェア上での実時間処理は難しい。そこで本稿では拡大アルゴリズムを高速処理が可能なハードウェアへ実装することを提案する。高周波数成分を保存する拡大法のハードウェアへの実装については文献[3]が挙げられるが、この拡大法ではアーティファクトによる影響が拡大画像に現れることが文献[4]で指摘されている。そこで本稿では文献[4]でアーティファクトの影響が無く、高周波数成分が保存可能とされるファジー推論による画像拡大法を用いる。実装するハードウェアには文献[3]と同じく、小規模開発が可能なFPGAを用いて実現する。

## 2. ファジー推論による画像拡大法のハードウェアへの実装

本稿では文献[4]の方法をハードウェアで実現するため、以下の2点について提案する。

- ・ 画像データを格納するラインメモリ
- ・ ファジー推論による拡大法のハードウェア化

これらによって従来法と比べ高速かつ高品質な画像拡大装置の実現を試みる。

### 2.1 ラインメモリ

ハードウェアによる画像処理にはデータを一時保存するラインメモリが必要であるが、一つのメモリを用いる従来法では一度に複数のデータを取り出すことが不可能である。この問題点を解決するため、ラインメモリを複数用意し処理に必要なデータを同時に取り出すことができる方法を提案する(図1)。

### 2.2 ファジー推論による拡大法のハードウェア化

拡大アルゴリズムの計算式をそのまま回路で実現しようとすると、乗算や除算などで大量に動作クロックを使用してしまう。本稿では拡大法をFPGAに実装するにあたり、あらかじめ計算に必要なデータを格納したLUTを参照して、補間値を算出する回路を考える。LUTにはファジー集合に対する適合度を格納する。そして演算結果をアドレスとし、その値からLUTを参照する(図2)。このLUTを使ったファジー推論のハードウェアブロック図を図3に示す。

## 3. 実装結果

実装に用いたFPGAはXilinx社のSpartan-3E XC3S1600Eである。表1に入出力用ラインメモリにおける論理合成結果を示す。

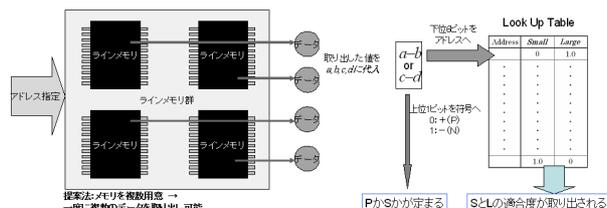


図1. 提案するラインメモリ

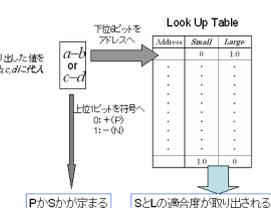


図2. 適合度を求めるLUT

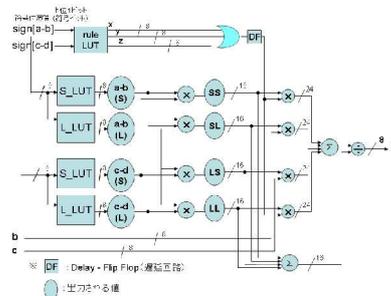


図3. ファジー推論のハードウェアブロック図

表1. 回路の論理合成結果

Slice数	482	3%
FF数	451	1%
LUT	909	3%
Block RAM数	8	22%

現時点での回路規模は全体に対して数%程度である。又、回路の最大動作周波数は170MHzである。

## 4. まとめ

ファジー推論を用いた拡大法のハードウェア化について提案し、実現した。今後はフレームメモリを使用した任意倍率による画像拡大を目指す。

## 参考文献

- 1) 長尾亮訳, A.Rosenfeld著 “Digital Picture Processing” 近代科学社 1978
- 2) 木村誠聡, 田口亮, 村田 裕 “ファジールールに基づく信号細部変化を保存する補間手法” 電子情報通信学会論文誌 2000/9 Vol. J83-A No.9 pp1099-1108
- 3) 多田啓一, 田口亮 “デジタル映像・画像拡大法のFPGAへの実装” 電子情報通信学会大会講演論文集, Vol.2005 基礎・境界 Page.357 (2005.03.07)
- 4) 木村誠聡, 田口亮 “ファジー推論による超解像度化手法” 電子情報通信学会技術研究報告 Vol.102, No.722(CS2002 170-184), Page37-42 2003.03.11